

OPTICAL CONTROL CIRCUIT

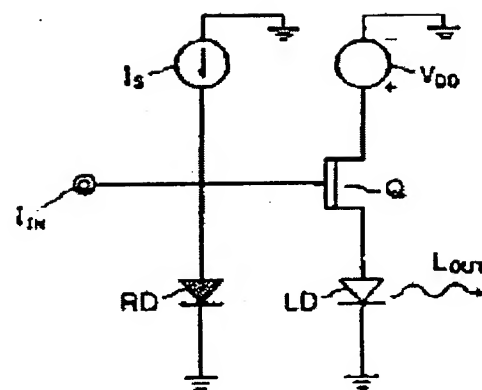
Patent number: JP63200118
Publication date: 1988-08-18
Inventor: ANDO YUJI
Applicant: NEC CORP
Classification:
- international: G02F1/01; G11C13/08
- european:
Application number: JP19870032403 19870217
Priority number(s):

Report a data error here

Abstract of JP63200118

PURPOSE: To give a storage function with a simple circuit constitution to enable the operation of extrahigh speed by connecting the connection point between a constant current source and a resonance tunnel diode to a switching element and the input terminal of an optical control circuit.

CONSTITUTION: A driving circuit which drives the switching element consists of a series circuit of a constant current source I_S and a resonance tunnel diode RD, and the connection point between the constant current source I_S and the resonance tunnel diode RD is connected to the switching element and the input terminal of the optical control circuit. A current value I_S of the constant current source I_S is set between a peak current I_P and a bottom current I_V of the resonance tunnel diode RD to obtain two stable points of the low voltage state and the high voltage state. If a positive pulse current larger than $I_P - I_S$ is inputted to the resonance tunnel diode RD, the resonance tunnel diode RD is switched from the low voltage state to the high voltage state. If a negative current pulse whose insulating value is larger than $I_S - I_V$ is inputted to the resonance tunnel diode RD, the resonance tunnel diode RD is switched from the high voltage state to the low voltage state. Thus, the storage function is obtained and the operation of extrahigh speed is possible.



Data supplied from the esp@cenet database - Patent Abstracts of Japan

(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許出願公告番号

特公平6-1895

(24) (44) 公告日 平成 6 年 (1994) 1 月 5 日

(51) Int. Cl. ⁵
H03K 17/78
H01S 3/096
H03K 3/315

識別記号
E 7827-5J
8124-5J

F I

発明の数 1 (全 4 頁)

(21) 出願番号 特願昭62-32403
(22) 出願日 昭和62年(1987) 2 月 17 日
(65) 公開番号 特開昭63-200118
(43) 公開日 昭和63年(1988) 8 月 18 日

(71) 出願人 999999999
日本電気株式会社
東京都港区芝 5 丁目 7 番 1 号
(72) 発明者 安藤 裕二
東京都港区芝 5 丁目 33 番 1 号 日本電気株
式会社内
(74) 代理人 弁理士 岩佐 義幸

審査官 長島 孝志

(56) 参考文献 特開昭62-2580 (J P, A)
特公昭44-4012 (J P, B 1)

(54) 【発明の名称】 光制御回路

1

【特許請求の範囲】

【請求項 1】 発光素子と、前記発光素子に直列に接続され、前記発光素子に流れる電流の断続を制御するスイッチング素子とを有する光制御回路であって、前記スイッチング素子を駆動する駆動回路が、定電流源と共鳴トンネルダイオードとの直列回路よりなり、前記定電流源と前記共鳴トンネルダイオードとの結節点が前記スイッチング素子と光制御回路の入力端子とに接続されていることを特徴とする光制御回路。

【請求項 2】 特許請求の範囲第 1 項に記載の光制御回路 10
において、

前記発光素子がレーザ・ダイオードであり、前記スイッチング素子が電界効果トランジスタであることを特徴とする光制御回路。

【発明の詳細な説明】

2

〔産業上の利用分野〕

本発明は光制御回路、特に、光メモリ、超高速変調の利用分野で高性能を発揮する光制御回路に関する。

〔従来の技術〕

従来の光制御回路の一例を第 7 図に示す。この光制御回路は、レーザ・ダイオード LD と電界効果トランジスタ (FET) Q と電圧源 V_{DD} とからなり、電界効果トランジスタ Q のソースはレーザ・ダイオード LD を介して接地電位に接続され、ドレインは電源電位に接続され、ゲートは入力端子 V_{IN} に接続されている。このような構成の光制御回路においては、入力端子 V_{IN} から電界効果トランジスタ Q のゲートにしきい値以上の電圧が入力されると、電界効果トランジスタ Q が導通し、レーザ・ダイオード LD が発光する。

〔発明が解決しようとする問題点〕

ところで、前記従来の構造の光制御回路を光メモリに応用する場合、記憶回路と接続する必要があるが、この場合、回路構成が複雑になり、高集積化が困難になるばかりか、遅延時間の増大にもつながる。

本発明の目的はこの様な問題を解決し、きわめて簡潔な回路構成で、記憶機能を有する、超高速動作が可能な光制御回路を提供することにある。

〔問題点を解決するための手段〕

本発明は、発光素子と、前記発光素子に直列に接続され、前記発光素子に流れる電流の断続を制御するスイッチング素子とを有する光制御回路であって、前記スイッチング素子を駆動する駆動回路が、定電流源と共鳴トンネルダイオードとの直列回路よりなり、前記定電流源と前記共鳴トンネルダイオードとの結節点が前記スイッチング素子と光制御回路の入力端子とに接続されていることを特徴とする。

〔作用〕

本発明によれば、スイッチング素子を駆動する駆動回路に、定電流源と共鳴トンネルダイオードとの直列回路を用いる。定電流源の電流の値 I_s を共鳴トンネルダイオードのピーク電流 I_p と谷電流 I_v の中間に設定すれば、低電圧状態と高電圧状態の2つの安定点が得られる。ここで $I_p - I_s$ より大きい正のパルス電流を共鳴トンネルダイオードに入力すると、共鳴トンネルダイオードは低電圧状態から高電圧状態に遷移する。同様に、絶対値が $I_s - I_v$ より大きい負の電流パルスを入

力すると、共鳴トンネルダイオードは高電圧状態から低電圧状態に遷移する。したがって、これら遷移する2つの電圧状態でスイッチング素子を駆動するように構成すれば、記憶機能を有する光制御回路が得られる。

また本発明によれば、共鳴トンネル効果をスイッチ動作に用いているため、スイッチングに要する時間は、量子力学的限界近くまで低減することができると考えられ、超高速動作が可能となる。

〔実施例〕

以下、本発明の実施例を詳細に説明する。

第1図は本発明による第1の実施例の光制御回路の回路図である。本実施例の光制御回路は、レーザ・ダイオードLDと電界効果トランジスタQと電圧源 V_{DD} と共鳴トンネルダイオードRDと定電流源 I_s とからなる。電界効果トランジスタQのソースはレーザ・ダイオードLDを介して接地電位に接続され、ドレインは電源電位に接続され、ゲートは共鳴トンネルダイオードRDを介して接地電位に接続されると共に、共鳴トンネルダイオードRDと電界効果トランジスタQのゲートの結節点は定電流源 I_s および入力端子 I_{IN} に接続されている。なお、説明の便宜上、符号 V_{DD} は電圧源の電位を、符号 I_s は定電流源の電流を、 I_{IN} は入力端子からの入力電流の値をも表すものとする。

このような構成の光制御回路において、共鳴トンネルダイオードRDは定電流源 I_s で駆動されるが、この時、電流 I_s の値を共鳴トンネルダイオードRDのピーク電流 I_p と谷電流 I_v の中間に設定すれば、第2図の共鳴トンネルダイオードRDの電流-電圧特性に示すように2つの安定点が得られる。この安定点の内、低電圧状態をA、高電圧状態をBとする。低電圧状態の安定点Aに対応する電圧を V_L 、高電圧状態の安定点Bに対応する電圧を V_H とする。ここで、 $I_p - I_s$ より大きい正のパルス電流を入力端子 I_{IN} から共鳴トンネルダイオードRDに入力すると、共鳴トンネルダイオードRDの状態はA点からB点へ遷移し、それに伴って、電界効果トランジスタQのゲート電位は V_L から V_H へとスイッチする。同様に、絶対値が $I_s - I_v$ より大きい負の電流パルスを入力すると、電界効果トランジスタQのゲート電位は V_H から V_L へスイッチする。一方、レーザ・ダイオードLDは電界効果トランジスタQを介して、電源電位 V_{DD} に接続されている。ここで、ゲート電位が V_H の時、レーザ・ダイオードLDを発光状態に遷移させるに適合した電流が電界効果トランジスタQに流れ、ゲート電位が V_L の時、電界効果トランジスタQに流れる電流がレーザ・ダイオードLDの発光しきい値電流以下となるように設計されている。したがって、正の電流パルスが入力端子 I_{IN} より入力されるとレーザ・ダイオードLDは発光状態にセットされ、負の電流パルスが入力されると非発光状態にリセットされ、第3図に示すようなフリップ・フロップ動作が実現される。第3図は、入力端子 I_{IN} の値とレーザ・ダイオードLDの出力光 I_{OUT} の発光強度との関係を示す入出力特性図であり、時刻 t_1 と t_2 との間でレーザ・ダイオードLDは発光状態にあり、時刻 t_2 と t_3 との間で非発光状態にあり、時刻 t_3 と t_4 との間で発光状態にあることを示している。

以上のように本発明によれば、共鳴トンネル効果をスイッチ動作に用いているため、スイッチングに要する時間は、量子力学的限界近くまで低減することができると考えられ、超高速動作が可能となる。また、フリップ・フロップ動作が実現されるので、記憶機能を有することができる。

第4図は本発明による第2の実施例の回路図である。本実施例は、第1図に示した光制御回路において、レーザ・ダイオードLDのセット、リセットを2入力的光信号を用いて行うようにしたものである。第4図において、PD1、PD2はフォト・ダイオードで、互いに逆極性となるように配置されそれぞれ電源電位 $+V_1$ 、 $-V_2$ に接続されている。フォト・ダイオードPD1のカソードおよびフォト・ダイオードPD2のアノードは互いに接続され、第1図に示した回路の入力端子 I_{IN} に接続されている。

50 以上のような構成の光制御回路において、入力光信号

L_s , L_R であり、それぞれ、フォト・ダイオード PD 1, PD 2 によって受光される。フォト・ダイオード PD 1 と PD 2 を流れる電流の論理和がとられ、入力端子 I_{IN} に入力される。ここで、光信号 L_s としてしきい値強度を越える光パルスが入力されると、フォト・ダイオード PD 1 が導通し、正のパルス電流が流れ、レーザ・ダイオード LD は発光状態にセットされる。同様に、光信号 L_R としてしきい値強度を越える光パルスが入力されると、PD 2 は PD 1 と極性が逆なので、負のパルス電流が流れ、LD は非発光状態にリセットされる。したがって、第 5 図に示すような 2 入力的光フリップ・フロップ動作が実現される。第 5 図は、光信号 L_s , L_R の光強度とレーザ・ダイオード LD の出力光 LQ の光強度との関係を示す入出力図であり、時刻 t_1 と t_2 との間でレーザ・ダイオード LD は発光状態にあり、時刻 t_2 と t_3 との間で非発光状態にあり、時刻 t_3 と t_4 との間で発光状態にあることを示している。

第 6 図は、本発明による第 3 の実施例の回路図である。本実施例の光制御回路は、レーザ・ダイオード LD と電界効果トランジスタ Q 1, Q 2 と定電流源 I_{s1} , I_{s2} と電圧源 V_G 。(符号 V_G は電圧源の電圧値をも表すものとする) と共鳴トンネルダイオード RD とからなる。レーザ・ダイオード LD は電界効果トランジスタ Q 1 を介して定電流源 I_{s1} に接続され、電界効果トランジスタ Q 2 はレーザ・ダイオード LD および電界効果トランジスタ Q 1 と並列に接続され、ゲートは電圧源 V_G に接続されている。電界効果トランジスタ Q 1 および Q 2 のソースはレーザ・ダイオード LD を介して、および直接に接地電位にそれぞれ接続され、電界効果トランジスタ Q 1 および Q 2 のドレインは電流源 I_{s1} にそれぞれ接続されている。電界効果トランジスタ Q 1 のゲートは共鳴トンネルダイオード RD を介して接地電位に接続されると共に、共鳴トンネルダイオード RD と電界効果

トランジスタ Q 1 のゲートの結節点は定電流源 I_{s2} および入力端子 I_{IN} に接続されている。

以上のような構成の光制御回路において、レーザ・ダイオード LD を流れる電流は、電界効果トランジスタ Q 1 が“開”であるか、“閉”であるかによって決まるが、その電流量を、電界効果トランジスタ Q 2 のゲート電位 V_G によって制御できる。したがって、 V_G を調節することで、電界効果トランジスタ Q 1 が“開”の時、レーザ・ダイオード LD に発光しきい値以上の電流を流し、電界効果トランジスタ Q 1 が“閉”の時、レーザ・ダイオード LD を発光させないように制御することが容易にできる。

【発明の効果】

以上の詳細な説明から明らかなように、本発明によれば、記憶機能を有する超高速光制御回路をきわめて簡潔な回路構成によって実現でき、今後の通信・情報技術に寄与するところがきわめて大である。

【図面の簡単な説明】

第 1 図は、本発明による光制御回路の第 1 の実施例の回路図、

第 2 図は、共鳴トンネルダイオードの電流—電圧特性、

第 3 図は、第 1 の実施例の入出力特性図、

第 4 図は、第 2 の実施例の回路図、

第 5 図は、第 2 の実施例の入出力特性図、

第 6 図は、第 3 の実施例の回路図、

第 7 図は、従来の光制御回路の回路図である。

LD ……レーザ・ダイオード

RD ……共鳴トンネルダイオード

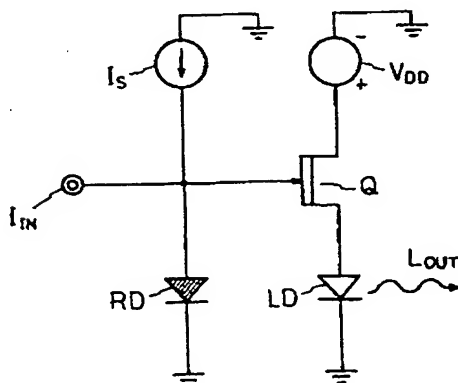
Q, Q 1, Q 2 ……電界効果トランジスタ

PD 1, PD 2 ……フォト・ダイオード

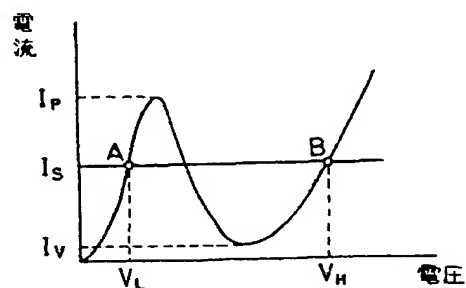
I_s , I_{s1} , I_{s2} ……定電流源

V_{DD} , V_G ……電圧源

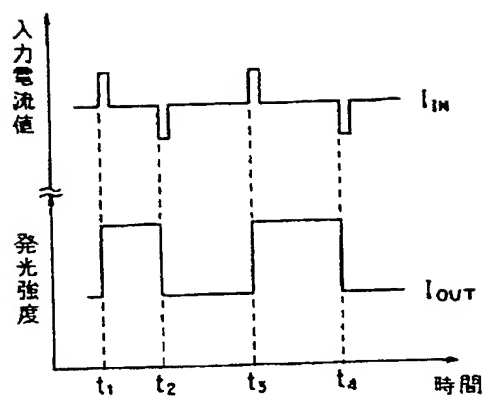
【第 1 図】



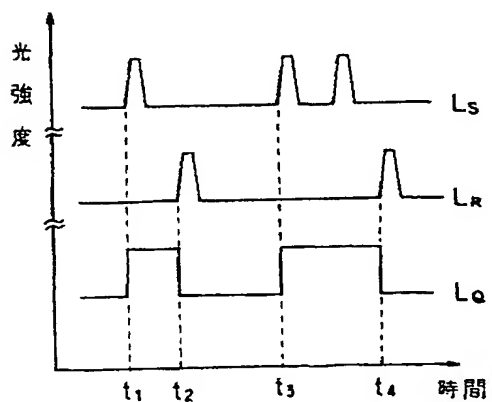
【第 2 図】



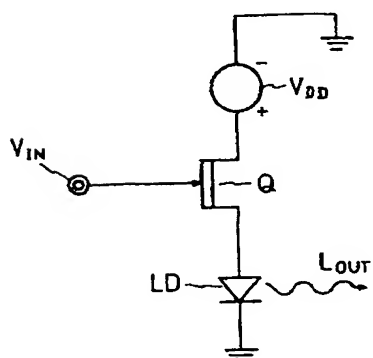
【第3図】



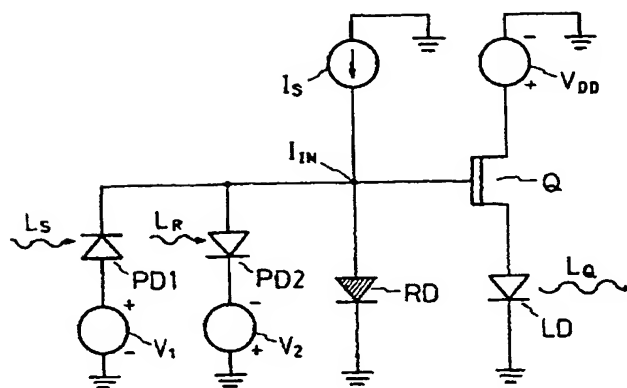
【第5図】



【第7図】



【第4図】



【第6図】

